

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 53-012215

(43)Date of publication of application : 03.02.1978

(51)Int.Cl.

H04B 3/00

(21)Application number : 51-086837

(71)Applicant : NEC CORP

(22)Date of filing : 20.07.1976

(72)Inventor : TASAI SADAJI

**(54) PULSE TRANSFER CIRCUIT****(57)Abstract:**

PURPOSE: To reduce the size of a unit as well as to shorten the signal transmission time by providing a level difference for each pulse transmission signal which is sent to the transmission path and then by receiving these sum signals to output the partner side transmission signal.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁  
公開特許公報

⑪特許出願公開  
昭53—12215

⑤Int. Cl.  
H 04 B 3/00

識別記号

⑥日本分類  
96(7) E 11

庁内整理番号  
6549—53

④公開 昭和53年(1978)2月3日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑫パルス送受信回路

東京都港区芝五丁目33番1号  
日本電気株式会社内

⑭特 願 昭51—86837

⑭出 願 人 日本電気株式会社

⑮出 願 昭51(1976)7月20日

東京都港区芝五丁目33番1号

⑯発 明 者 太細貞治

⑯代 理 人 弁理士 内原晋

明 細 書

発明の名称

パルス送受信回路

特許請求の範囲

送信すべきパルス信号を入力しその出力レベルと同一線路に接続される他のパルス送受信回路が送信すべきパルス信号の出力レベルを各々異なる2値状態の全ての組み合わせが異なる電位差として出力されるようにした送信信号を送信線路に出力する伝送線路駆動回路と。

前記送信すべきパルス信号と受信する少なくとも2つのパルス信号との和を示す電位と第一の基準電圧信号の電位とを比較しその比較結果の信号と第二の基準電圧信号とを比較し前記受信する少なくとも2つのパルス信号を識別する伝送線路レベル検出回路と。

前記伝送線路駆動回路に接続され前記送信すべきパルス信号に応じて前記第一の基準電圧信号の

電位を切替える基準電圧発生回路とを含むことを特徴とするパルス送受信回路。

発明の詳細な説明

本発明はパルス伝送線路に接続されるパルス送受信回路に関する。

従来この種のパルス送受信回路では2つの送受信回路間であれば各々同時に送・受信が可能であるが、その同一伝送線路上に接続された第三の送受信回路は受信機としてしか働かずしかも受信した情報が他のどちらの送信回路からのものかを判断することができないという欠点があった。従って3つ以上のパルス送受信回路を同一の伝送線路上に接続するような伝送回路では送信できる送受信回路は1つのみであり、他の送受信回路は受信機としてのみ使わねばならないという制約があった。

第1図及び第2図を参照するに、そこには従来用いられて来たパルス送受信回路の基本的思想を要するブロック図が示されている。第1図に於て

1及び2はパルス送受信回路であり3は伝送線路を示す。この場合、パルス送受信回路1で示されたパルス送受信回路の端子4に印加された入力信号は相手側送受信回路の端子7に出力され、パルス送受信回路2で示されたパルス送受信回路の端子6に印加された入力信号は相手側パルス送受信回路の端子5に出力される。このことは時間的に同時に伝送できる。

次に上記方式の伝送回路に第三のパルス送受信回路を接続した例として第2図を示す。この場合パルス送受信回路9と10間でパルス信号を同時に送受信している時第三のパルス送受信回路8は受信機としてしか働かずしかも受信した情報がパルス送受信回路9、10のどちらの送受信回路からの信号かを判断することができない。つまり、このように同一伝送線路に3つ（或はそれ以上）のパルス送受信回路を接続する伝送回路では送信可能なパルス送受信回路は常に1つであり他のパルス送受信回路は受信機としてのみ使用せねばならないと云う欠点があった。このことはパルス送受

特開 昭53-12215 (2)  
信回路そのものに起因している。第3図に従来用いられていたパルス送受信回路の一例を示す。図に於て端子21、22はV<sub>00</sub>なる電位（例えば0V）又端子23にはV<sub>01</sub>なる電位（例えば-5.2V）を印加する。端子26、28、30は各々第1図及び第2図で示されたパルス送受信回路の入力信号印加端子、伝送線路端子、出力端子に相当する。端子24、25、31は各々基準電圧印加端子であり、端子29と23の間には適当な抵抗を接続するものとする。端子28は入力端子26への入力印加状態と相手側送受信回路の出力状態に応じて約0、-0.8、-1.6Vの3レベルがとり得るように成されている。又基準電圧端子27は入力端子26への印加電圧がHighレベル（例えば-0.8V）の時は約-1.2V、Lowレベル（例えば-1.6V）の時は約-0.4Vと成るよう設計されている。今相手側送信機信号がHighで入力端子26がLowの時は端子28は約-0.8Vであり端子27が-0.4Vのためにトランジスタ33が導通となり出力端子30は

Highレベルとなる。相手側送信機信号もLowの時は端子28は約0Vでありトランジスタ32が導通となり出力端子30はLowレベルとなる。又相手側送信機信号及び入力端子26が共にHighレベルの時は端子28は約-1.6Vであるが端子27の電位が約-1.2Vとなるので出力端子30はHighレベルとなる。このように2つのパルス送受信回路間であれば問題はないのだが、端子28につながる伝送線路に更に第三の送受信回路を付加すれば、端子28のレベルがどの送受信回路の入力信号によって成されたものかを判断することができなくなってしまう。従ってこのような従来の送受信回路を用いたのでは一本の伝送線路に接続された例えば3つの送受信回路間で独立した各々のパルス信号を同時に送受信することは不可能であった。すなわち従来プロット内に於けるデータ処理回路は集積回路技術の進歩によって著しく高密度化、小型化されてきたが、従来プロット内に於てはその接続に要する信号本数のため物理的に小型化が制約されている。このためそれ

らの接続プロット間のパルス伝送に要する時間によって装置の性能の向上も制約されているのが現状である。

本発明は一本の伝送線路に接続される3つのパルス送受信回路に於て、伝送線路へ送られる各々のパルス送信信号のレベルに差を設け、それらの和信号を受信部まで受信しその和信号から各々の相手側送信信号を出力する機能を有するパルス送受信回路を用いることにより上記欠点を解決し接続プロット間に必要とされる伝送線路本数を削減すると共に装置の小型化及び信号伝送時間の短縮を達成する回路を提供するものである。

本発明の構成は、送信すべきパルス信号を入力しその出力レベルと同一線路に接続される他のパルス送受信回路が送信すべきパルス信号の出力レベルとを各々異なる2値状態の全ての組み合わせが異なる電位差として出力されるようにした送信信号を伝送線路に出力する伝送線路駆動回路と、前記送信すべきパルス信号と受信する少なくとも2つのパルス信号との和を示す電位と第一の基準

電圧信号の電位とを比較しその比較結果の信号と第二の基準電圧信号とを比較し前記受信する少なくとも2つのパルス信号を識別する伝送線路レベル検出回路と。

前記伝送線路駆動回路に接続され前記送信すべきパルス信号に応じて前記第一の基準電圧信号の電位を切替える基準電圧発生回路とを含むことを特徴とする。

上記構成のパルス送受信回路を同一の伝送線路に3つ接続する伝送回路に於て、伝送線路へ送られる各々の送信信号レベルに差を設けそれらの和信号を受信部で受信しその和信号から各々の相手側送信信号を出力する機能を有するパルス送受信回路を用いることにより設備プロット間の伝送線路本数を削減し、装置の小型化及び信号伝送時間の短縮を達成することができる。

次に本発明の一実施例について図面を参照して説明する。第4図を参照するにそこには本発明に係るパルス送受信回路の基本的思想を表わすプロット図が示されている。図に於て50、51、

52はパルス送受信回路でありその中で54、56、58は送信部、55、57、59は受信部であり53は伝送線路を示す。これらのパルス送受信回路と伝送線路とは端子A、B、Cで接続されており送受信回路50の入力信号Zは受信部57、59で出力され、送受信回路51の入力信号Yは受信部55、59で出力され、送受信回路52の入力信号Xは受信部55、57で出力される。これらの送受信を一本の伝送線路53で且つ同時に行なおうとするものである。

第5図は本発明の一実施例を示すパルス送受信回路である。第5図に於て67は伝送線路駆動回路、68は基準電圧発生及び切換え回路、69は伝送線路レベル検出及び出力回路であり端子70はV<sub>cc</sub>なる電位(例えば0V)を、端子71はV<sub>ss</sub>なる電位(例えば-5.2V)を印加し又端子80、81、82、83、84、85、86、87には各々基準電圧を印加する。端子72、73、74、75は各々第4図に於ける例えばパルス送受信回路第4図の50のZ入力端子、伝送

線路のA端子、X出力端子、Y出力端子に相当する。以下第4図に示された伝送回路に於てパルス送受信回路50として第5図に示された回路を用いた時について、その回路動作を説明する。

パルス送受信回路50、51、52に於てトランジスタ128に流れる電流比を1:1.5:2とするように端子76と71の間に適当な抵抗を挿入しX、Y、Zの3入力信号のうちXだけをHighレベル(例えば-0.8V)とすると、伝送線路電位は-0.8V、YだけHighレベルとすると-1.2V、ZだけをHighレベルとすると-1.6Vとなるよう設計されてる場合、これら3入力の組合せ方によって伝送線路の電位がとり得るレベルは8通りとなる。これらの関係を示したのが第6図である。第5図と比較して説明すると3つの基準電圧発生回路の各々の基準電圧端子90、91、92は端子72に印加されるZ入力Highレベル(例えば-0.8V)ならば各々-0.6V、-1.0V、-1.4Vにトランジスタ100のベース・エミッタ間電圧、V<sub>BE</sub>を加え

た電位となり、Lowレベル(例えば-1.6V)ならば各々-2.2V、-2.6V、-3.0VにV<sub>BE</sub>を加えた電位となる。今、X、Y、Zの各入力がHighレベルとすると端子73は約0Vでありトランジスタ101、103、105が導通となりコレクタ電位93、94、95は共にHighレベル(約0V)となりトランジスタ107、111が導通となるためトランジスタ114及び116と117のどちらかが導通状態となり出力端子74、75は共にHighレベル(例えば-0.8V)となり各々X、Y信号を正しく出力している。次にXだけLowレベル(例えば-1.6V)とすると端子73は約-0.8Vでありトランジスタ102、103、105は導通となりコレクタ電位93はLow、94、95はHighレベルとなりトランジスタ107、111が導通となりトランジスタ115と116が導通状態となるため出力端子74はLowレベル(例えば-1.6V)、75はHighレベルとなる。YだけLowレベルとすると端子73は約-1.2Vでありトランジスタ102、

104, 105が導通状態となりコレクタ電位93, 94がLowレベル、95がHighレベルとなりトランジスタ110, 112が導通となるためトランジスタ113, 116が導通状態となるため出力端子74はHighレベル、75はLowレベルとなる。XとY両信号がLowレベルとすると端子73は約-2.0Vでありトランジスタ102, 104, 106が導通となりコレクタ電位93, 94, 95がLowレベルとなりトランジスタ109, 112が導通となるためトランジスタ115, 118が導通状態となるので出力端子74, 75は共にLowレベルとなる。次にZ信号自身がLowレベルで且つX信号がLowレベルの時は端子73は約-2.4Vとなるが基準電圧端子90, 91, 92のレベルも各々約1.6V低下するのでトランジスタ102, 103, 105が導通となりコレクタ電位93はLow<sup>レベル</sup>、94, 95はHighレベルとなりトランジスタ107, 111が導通となるためトランジスタ115, 116が導通状態となり出力端子74はLowレ

ベル、75はHighレベルとなり、X, Y両信号を正しく出力している。他の組合せについても全く同様の説明が成されるが、以上は伝送線路の8通りのレベルを識別するため最小400mVを設けたがこれに限定する意図はなく上記伝送線路の電位を識別し得る電位差であれば更に小さい方が有利であることは勿論である。

なお上述の実施例において基準電圧発生回路68は、伝送線路駆動回路67の入力端子72にHighレベルの信号を入力した場合に例えば全てOFFの状態では基準電圧を発生する。すなわちトランジスタ102, 104, 106のベース電位は-0.6V, -1.0V, -1.4Vに設定される。また前記入力端子72にLowレベルの信号を入力した場合に例えば全てONの状態では基準電圧を発生する。すなわちトランジスタ102, 104, 106のベース電位は-2.2V, -2.6V, -3.0Vに設定される。このように入力端子72に入力する送信すべきパルス信号の状態に応じて基準電圧が各々切換えられることに注意されたい。

本発明は以上説明したように伝送線路駆動回路、2通りの電圧レベルを出力できる基準電圧発生回路、受信レベル検出出力回路から成るパルス送受信回路を一本の伝送線路のA端、B端、C端に各々接続することにより、A端とB端、B端とC端、C端とA端の各パルスの送受信を同時に実行することができ、装置プロット関において必要とされる伝送線路本数を削減するとともに、装置の小型化及び信号伝送時間の短縮化を達成することができる。

以上の説明は同一伝送線路上に第5図に示されたパルス送受信回路が3つ接続された伝送回路について述べたが、この回路を使用する伝送回路を以上のような伝送回路に限定する意図はなく、例えば第7図に示す如く3つ以上のパルス送受信回路を同一伝送線路に接続することも可能である。第7図の使用例は150, 155で示されたパルス送受信回路が各々X, Yなる信号を送信する場合、同一線路上の151, 152, 153, 154で示されたパルス送受信回路では各々X, Y信号を

識別できることを要わしている。この場合、161, 162, 163, 164の入力端子はLowレベルとし151, 152, 153, 154で示されたパルス送受信回路を受信機能だけを持たせるものとする。そのため送信機能をも持つ150, 155の出力端子165, 166にはLowレベルが現われることになる。第8図は同様に多数のパルス送受信回路が同一線路上に接続されており、156, 157, 158で示されたパルス送受信回路間で各々X, Y, Zなる信号を送受している伝送回路を示すものだが、この場合も信号送受に關知しない159, 168, 160の入力端子170, 173, 176をLowレベルに設定すれば、159, 168, 160で示されたパルス送受信回路の接続はX, Y, Zの信号送受には全く影響を与えない。

本発明は以上説明したようなパルス送受信回路を3つ同一伝送線路に接続することにより自分自身パルス信号を送信できると同時に他の2つのパルス送受信回路からの独立した2つのパルス信号

を受信することができ、検波ブロック間の伝送線路本数を削減し装置の小型化及び信号伝送時間の短縮を達成する効果がある。

#### 図面の簡単な説明

第1図及び第2図は従来用いられているパルス送受信回路の基本的思想を表わすブロック図、第3図は従来用いられているパルス送受信回路、第4図は本発明のパルス送受信回路の基本的思想を表わすブロック図、第5図は本発明のパルス送受信回路の実施例、第6図は本発明のパルス送受信信号を用いた伝送回路に於ける各点電位の関係を具体的例で表わしたものである。第7図及び第8図は本発明のパルス送受信回路の第2、第3の適用例を表わすブロック図である。

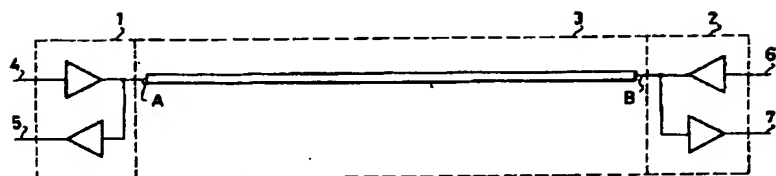
1, 2, 8, 9, 10, 50, 51, 52, 150~160, 168---パルス送受信回路、  
54, 56, 58---パルス送受信回路の送信部、  
55, 57, 59---パルス送受信回路の受信部、  
3, 11, 53---信号伝送線路、21, 22,

特開 昭53-12215 (5)  
23, 70, 71---電源端子、4, 6, 12, 14, 16, 26, 72, 161~164, 170, 173, 176---入力端子、5, 7, 13, 15, 17, 30, 74, 165, 166, 171, 172, 174, 175, 177, 178---出力端子、24, 25, 31, 80, 81, 82, 83, 84, 85, 86, 87---基準電圧印加端子、28, 73---伝送線路接続端子、29, 76---抵抗接続端子、32, 33, 34, 100~131---トランジスタ。

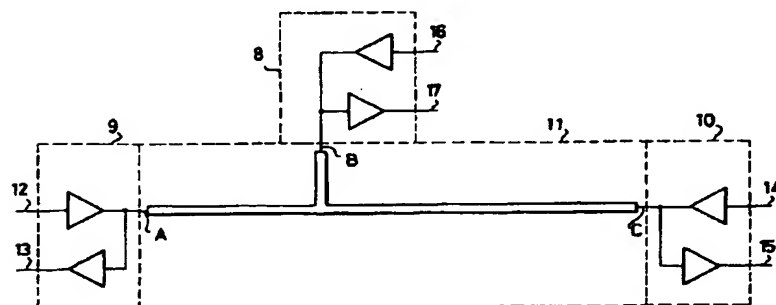
6

10

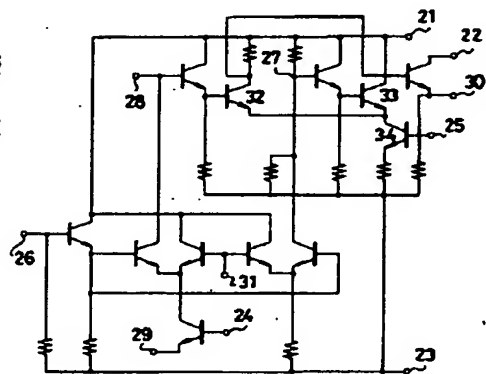
代理人 弁理士 内原



第1図



第2図



第3図

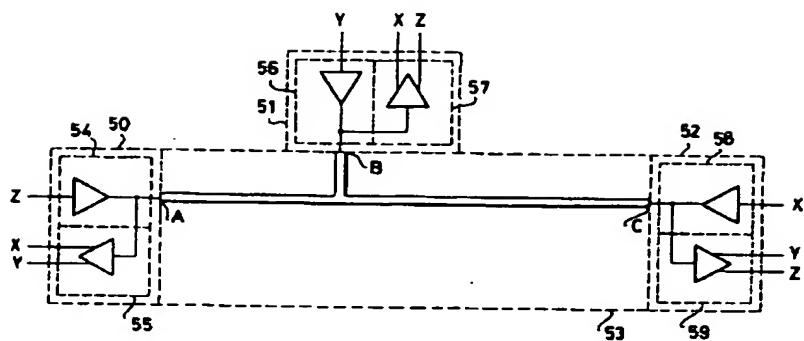


図4

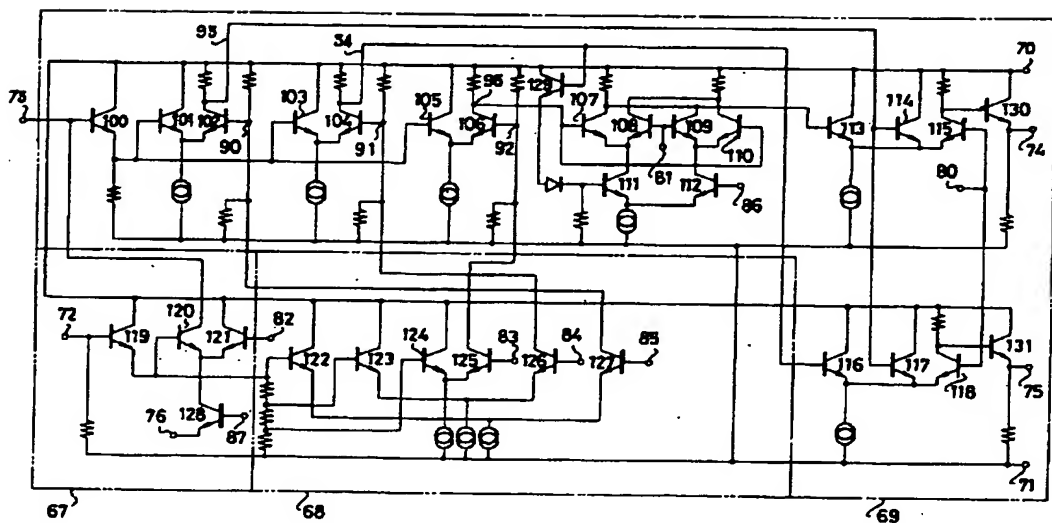


図5

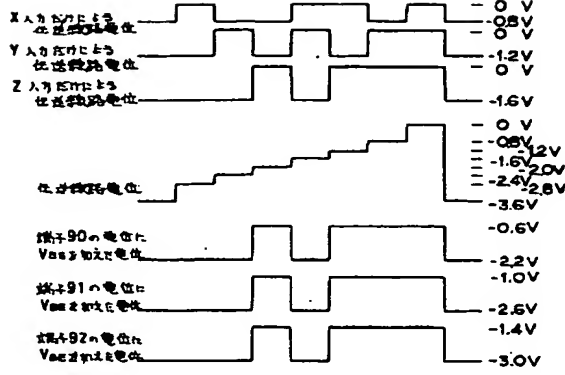


図 7

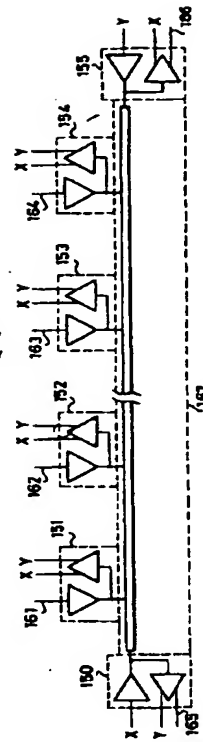


図 8

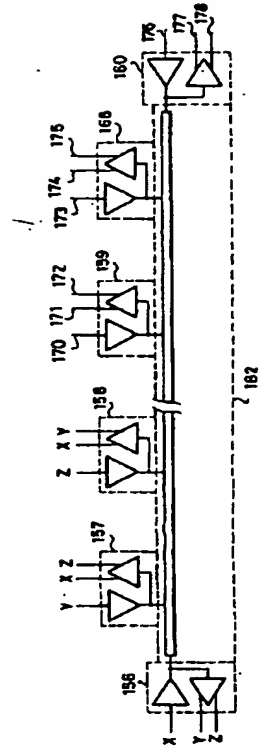


図 9